

特許協力条約

PCT

特許性に関する国際予備報告（特許協力条約第二章）

（法第12条、法施行規則第56条）

〔PCT36条及びPCT規則70〕

出願人又は代理人 の書類記号 PCT-04R-155	今後の手続きについては、様式PCT/IPEA/416を参照すること。	
国際出願番号 PCT/J P 2004/009059	国際出願日 (日. 月. 年) 21. 06. 2004	優先日 (日. 月. 年) 23. 06. 2003
国際特許分類 (IPC) Int.Cl. ⁷ H03K19/0175, H01L21/82, 21/822, 27/04, H03K17/687		
出願人 (氏名又は名称) ローム株式会社		

<p>1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。 法施行規則第57条（PCT36条）の規定に従い送付する。</p> <p>2. この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。</p> <p>3. この報告には次の附属物件も添付されている。</p> <p>a. <input checked="" type="checkbox"/> 附属書類は全部で 2 ページである。</p> <p><input checked="" type="checkbox"/> 補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び／又は図面の用紙（PCT規則70.16及び実施細則第607号参照）</p> <p><input type="checkbox"/> 第I欄4. 及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙</p> <p>b. <input type="checkbox"/> 電子媒体は全部で (電子媒体の種類、数を示す)。 配列表に関する補充欄に示すように、コンピュータ読み取り可能な形式による配列表又は配列表に関連するテーブルを含む。（実施細則第802号参照）</p>	
<p>4. この国際予備審査報告は、次の内容を含む。</p> <p><input checked="" type="checkbox"/> 第I欄 国際予備審査報告の基礎</p> <p><input type="checkbox"/> 第II欄 優先権</p> <p><input type="checkbox"/> 第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成</p> <p><input type="checkbox"/> 第IV欄 発明の単一性の欠如</p> <p><input checked="" type="checkbox"/> 第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明</p> <p><input type="checkbox"/> 第VI欄 ある種の引用文献</p> <p><input type="checkbox"/> 第VII欄 国際出願の不備</p> <p><input type="checkbox"/> 第VIII欄 国際出願に対する意見</p>	

国際予備審査の請求書を受理した日 28. 03. 2005	国際予備審査報告を作成した日 03. 06. 2005		
名称及びあて先 日本国特許庁 (IPEA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 宮島 郁美	5 X	8 5 2 3
電話番号 03-3581-1101 内線 3596			

様式PCT/IPEA/409 (表紙) (2004年1月)

補充欄

いずれかの欄の大きさが足りない場合

第 V 欄の続き

請求の範囲 12, 15, 16

国際調査報告で引用された文献4には、出力バッファ回路を複数個設ける技術が記載されており、また、負荷として発光素子や発熱する抵抗を採用することは周知であるから、請求の範囲12, 15, 16に係る発明は、文献1と文献4、または文献2-4により進歩性を有しない。

第 I 欄 報告の基礎

1. この国際予備審査報告は、下記に示す場合を除くほか、国際出願の言語を基礎とした。

☐ この報告は、_____ 語による翻訳文を基礎とした。
それは、次の目的で提出された翻訳文の言語である。

- ☐ PCT規則12.3及び23.1(b)にいう国際調査
☐ PCT規則12.4にいう国際公開
☐ PCT規則55.2又は55.3にいう国際予備審査

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1-17 _____ ページ、出願時に提出されたもの

第 _____ ページ*、_____ 付で国際予備審査機関が受理したもの

第 _____ ページ*、_____ 付で国際予備審査機関が受理したもの

☒ 請求の範囲

第 1-12 _____ 項、出願時に提出されたもの

第 _____ 項*、PCT19条の規定に基づき補正されたもの

第 13-16 _____ 項*、28.03.2005 付で国際予備審査機関が受理したもの

第 _____ 項*、_____ 付で国際予備審査機関が受理したもの

☒ 図面

第 1-12 ~~ページ~~/図、出願時に提出されたもの

第 _____ ページ/図*、_____ 付で国際予備審査機関が受理したもの

第 _____ ページ/図*、_____ 付で国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☐ 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ

☐ 請求の範囲 第 _____ 項

☐ 図面 第 _____ ページ/図

☐ 配列表(具体的に記載すること) _____

☐ 配列表に関連するテーブル(具体的に記載すること) _____

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

☐ 明細書 第 _____ ページ

☐ 請求の範囲 第 _____ 項

☐ 図面 第 _____ ページ/図

☐ 配列表(具体的に記載すること) _____

☐ 配列表に関連するテーブル(具体的に記載すること) _____

* 4. に該当する場合、その用紙に“superseded”と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性 (N)	請求の範囲 2-16	有
	請求の範囲 1	無
進歩性 (IS)	請求の範囲 2-8	有
	請求の範囲 1, 9-16	無
産業上の利用可能性 (IA)	請求の範囲 1-13	有
	請求の範囲	無

2. 文献及び説明 (PCT規則 70.7)

文献1: J P 2001-119277 A (日本電気株式会社)
2001. 04. 27, 【0029】-【0033】, 図1-4
文献2: J P 6-268506 A (三菱電機株式会社) 1994. 09. 22
【0002】-【0006】, 図4-6
文献3: J P 10-91255 A (日本電気株式会社) 1998. 04. 10
【0012】, 図3
文献4: J P 7-79146 A (株式会社日立製作所) 1995. 03. 20
図1

請求の範囲1

国際調査報告で引用された文献1には、論理ゲート素子と、該論理ゲート素子の出力に応じて駆動される駆動用トランジスタとから構成される半導体集積回路において、前記論理ゲート素子内に、選択制御信号によって導通制御される抵抗値切替用トランジスタを備え、これら抵抗値切替用トランジスタの導通/非導通により、前記論理ゲート素子を構成するトランジスタのON抵抗による合成抵抗を変化させることで、前記駆動用トランジスタによる出力の変化率を切り換える点が記載されているので、請求の範囲1に係る発明は、文献1により新規性、進歩性を有しない。

請求の範囲9

国際調査報告で引用された文献2には、論理ゲート素子と、該論理ゲート素子の出力に応じて駆動される駆動用トランジスタとから構成される半導体集積回路において、前記論理ゲート素子と前記駆動用トランジスタとの間に、可変抵抗手段を設けることにより、前記駆動用トランジスタによる出力の変化率を切り換える点が記載されている。

また、国際調査報告で引用された文献3には、一般に、可変抵抗手段として、ON抵抗が互いに異なる複数のトランジスタスイッチを並列接続して構成された回路を用いる技術が記載されている。

そして、請求の範囲9に係る発明は、文献2と文献3とにより進歩性を有しない。

請求の範囲10, 11, 13, 14

請求の範囲10, 11, 13, 14に係る発明は、文献1または文献2, 3に記載されてあるに等しいか、または、当業者における設計事項であるから、文献1または文献2と文献3とにより、進歩性を有しない。

とするとともに前記第 2 トランジスタスイッチを ON とすることを特徴とする請求の範囲 9 に記載の半導体集積回路装置。

11. 前記トランジスタスイッチそれぞれを構成する MOS トランジスタのゲート幅及びゲート長を異なるものとすることによって、前記トランジスタスイッチそれぞれの ON 抵抗を異なるものとすることを特徴とする請求の範囲 9 に記載の半導体集積回路装置。

12. 前記出力バッファ回路を複数備えることを特徴とする請求の範囲 1 ～請求の範囲 11 のいずれかに記載の半導体集積回路装置。

13. (追加) 前記出力バッファ回路の前記駆動用トランジスタと一端が接続されるとともに他端に直流電圧が印加された抵抗に、前記駆動用トランジスタによる駆動電流を与えることを特徴とする請求の範囲 1 ～請求の範囲 11 のいずれかに記載の半導体集積回路装置。

14. (追加) 前記出力バッファ回路の前記駆動用トランジスタと一端が接続されるとともに他端に直流電圧が印加された発光素子に、前記駆動用トランジスタによる駆動電流を流すことで発光させることを特徴とする請求の範囲 1 ～請求の範囲 11 のいずれかに記載の半導体集積回路装置。

15. (追加) 請求の範囲 12 に記載の半導体集積回路と、

該半導体集積回路における複数の前記出力バッファ回路の前記駆動用トランジスタと一端が接続されるとともに他端に直流電圧が印加された複数の抵抗と、
を備え、

前記駆動用トランジスタによる駆動電流が前記抵抗に流れ、前記抵抗が発熱することを特徴とするプリントヘッド。

16. (追加) 請求の範囲 12 に記載の半導体集積回路と、

該半導体集積回路における複数の前記出力バッファ回路の前記駆動用トランジスタと一端が接続されるとともに他端に直流電圧が印加された複数の発光素子と

を備え、

前記駆動用トランジスタによる駆動電流が前記発光素子に流れ、前記発光素子が発光することを特徴とするプリントヘッド。

11. The semiconductor integrated circuit device according to claim 9,
wherein, by making MOS transistors constituting each transistor switch have different
gate widths and different gate lengths, the transistor switches are made to have different on-
5 state resistances.

12. The semiconductor integrated circuit device according to one of claims 1 to 11,
wherein there are provided a plurality of said output buffer circuit.

10 13. (New) The semiconductor integrated circuit device according to one of claims 1 to
11,
wherein a drive current of the driver transistor is fed to a resistance connected, at one
end thereof, to the driver transistor of the output buffer circuit and receiving, at an other end
thereof, a direct-current voltage applied thereto.

15 14. (New) The semiconductor integrated circuit device according to one of claims 1 to
11,
wherein, by causing a drive current of the driver transistor to flow through a light-
emitting device connected, at one end thereof, to the driver transistor of the output buffer
20 circuit and receiving, at an other end thereof, a direct-current voltage applied thereto, the
light-emitting device is made to emit light.

15. (New) A print head comprising:
the semiconductor integrated circuit device of claim 12; and

a plurality of resistances that are each connected, at one end thereof, to the driver transistor of the plurality of said output buffer circuit provided in the semiconductor integrated circuit device and receiving, at an other end thereof, a direct-current voltage applied thereto, and

5 wherein a drive current of the drive transistor flows through the resistances, and the resistances produce heat.

16. (New) A print head comprising:

the semiconductor integrated circuit of claim 12; and

10 a plurality of light-emitting devices that are each connected, at one end thereof, to the driver transistor of the plurality of said output buffer circuit provided in the semiconductor integrated circuit and receiving, at an other end thereof, a direct-current voltage applied thereto, and

 wherein a drive current of the driver transistor flows through the light-emitting
15 devices, and the light-emitting devices emit light.